

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **61058050 A**

(43) Date of publication of application: **25.03.86**

(51) Int. Cl.

**G06F 11/18**

**G06F 15/16**

(21) Application number: **60084316**

(22) Date of filing: **19.04.85**

(71) Applicant: **HITACHI LTD**

(72) Inventor: **MORI KINJI  
NOMI MAKOTO  
MIYAMOTO SHOJI  
IHARA KOICHI**

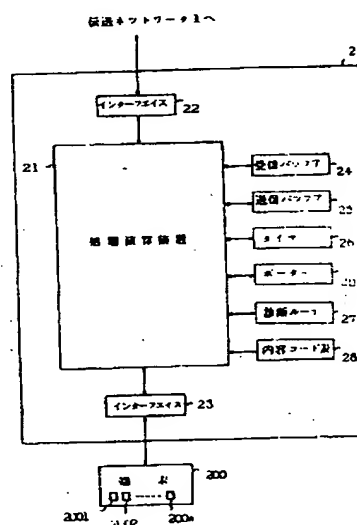
(54) **ABNORMALITY DETECTOR OF  
MULTI-PROCESSING SYSTEM**

(57) Abstract:

**PURPOSE:** To give the flexibility to an abnormality detector by transmitting the processing execution result in a multi-processing system to a transmission network as it is and selecting a truth value in the processor at the receiving side.

**CONSTITUTION:** The processed result in a multi-processing system is transmitted to a processor 2 through a transmission network as it is. The processor 2 receives continuously data with codes having the same content and stores them in a receiving buffer 24. A processing arithmetic device 21 activates the majority decision algorithm of a border 20, and selects a truth value. At this time, when the failure of deciding the truth value and the decision of a false value are carried out, the processing arithmetic device 21 activates a diagnosis routine 27 to issue the alarm for showing the abnormality from a terminal 200.

COPYRIGHT: (C)1986,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-58050

⑬ Int.Cl.<sup>4</sup>

G 06 F 11/18  
15/16

識別記号

庁内整理番号

7368-5B  
6619-5B

⑭ 公開 昭和61年(1986)3月25日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 多重処理系の異常検出装置

⑯ 特 願 昭60-84316

⑰ 出 願 昭56(1981)4月24日

前実用新案出願日援用

⑱ 発 明 者 森 欣 司 川崎市多摩区王禅寺1099番地 株式会社日立製作所システム開発研究所内

⑲ 発 明 者 能 見 誠 川崎市多摩区王禅寺1099番地 株式会社日立製作所システム開発研究所内

⑳ 発 明 者 宮 本 捷 二 川崎市多摩区王禅寺1099番地 株式会社日立製作所システム開発研究所内

㉑ 発 明 者 井 原 広 一 川崎市多摩区王禅寺1099番地 株式会社日立製作所システム開発研究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 磯村 雅俊

明 細 書

1. 発明の名称 多重処理系の異常検出装置

2. 特許請求の範囲

複数のプロセッサを伝送ネットワークにより接続した多重処理系において、前記各プロセッサが前記伝送ネットワーク上のメッセージを取込む手段、該取込み手段により取込まれたメッセージから同一の処理に属するものを選択する手段、前記各処理に属するメッセージが選択されたときにセットされる限時手段、該限時手段の限時作動出力により前記同一の処理に属するメッセージ数を計数する手段、該計数手段による計数結果に基づき多数決論理アルゴリズムにより真偽を判定する手段、該判定手段の判定により真偽と判定されなかったメッセージの発信源を検知する手段および上記各手段を制御する制御手段を有することを特徴とする多重処理系の異常検出装置。

3. 発明の詳細な説明

〔発明の利用分野〕

本発明は、多重処理系の異常検出装置に関し、特に受信側インターフェイス部において多数決論理により異常検出を行うようにした異常検出装置に関する。

〔発明の背景〕

多重処理系は複数のプロセッサに同一の処理を実行させ、各プロセッサの出力結果を比較することにより異常プロセッサの出力を除去し、正しい出力結果のみを使用することにより、システムの信頼性を向上させようとするものである。ここで問題となるのは、いかにして正しい出力結果を抽出するかということである。

従来、多重処理系においては、複数のプロセッサに同一の処理を実行させ、その結果を出力する際に各プロセッサの出力結果を多数決論理装置(以下、「ポーター」という)によって比較し、多数プロセッサからの出力結果の方を正しいと判定していた。この場合、ポーターの信頼度を上げるため論理回路を構成する際に、どのプロセッサからの出力を該ポーターに取込むかを、前以って決定

しておく必要があり、柔軟性の乏しいものとなってしまうという問題があった。また、ポーターの出力が伝送路を介して他のプロセッサに伝送される間に、雑音などによって乱され誤って伝えられる場合もあり得るという問題があった。

#### 〔発明の目的〕

本発明は、上記事情に鑑みてなされたもので、その目的とするところは、従来の多重処理系における異常検出装置の上述の如き問題を解消した多重処理系における改良された異常検出装置を提供することにある。

#### 〔発明の概要〕

本発明の上記目的を、複数のプロセッサを伝送ネットワークにより接続した多重処理系において、前記各プロセッサが前記伝送ネットワーク上のメッセージを取込む手段、該取込み手段により取込まれたメッセージから同一の処理に属するものを選択する手段、前記各処理に属するメッセージが選択されたときにセットされる限時手段、該限時手段の限時作動出力により前記同一の処理に属する

メッセージ数を計数する手段、該計数手段による計数結果に基づき多数決論理アルゴリズムにより真値を判定する手段、該判定手段の判定により真値と判定されなかったメッセージの発信を検知する手段および上記各手段を制御する制御手段を有する如く構成された異常検出装置を備えることによって達成される。

すなわち、本発明の異常検出装置の特徴は、従来の如く多重処理系における各プロセッサの送出するそれぞれの処理実行結果からポーターにより真値を選ぶことなく、前記処理実行結果はそのまま伝送ネットワーク上に送出して受信側のプロセッサにおいて前記処理実行結果を全て取込み、各受信側のプロセッサの内部でそれぞれ多数決論理により真値を選び出すようにした点にある。

従って、各プロセッサは処理実行結果を送出する際に、該処理実行結果の送出先や同一の処理を実行した他のプロセッサの状況等を全く認識する必要がないという特徴を有するものである。

#### 〔発明の実施例〕

以下、本発明の実施例につき図面を用いて詳細に説明する。

第1図は多重処理系のシステム全体の構成を示すものである。本実施例のシステムは伝送ネットワーク1、プロセッサ2～5および各プロセッサに接続された端末装置200～500から成る。また、各プロセッサは伝送ネットワーク1から得たメッセージから真値を選び出すためのポーター20～50をそれぞれの内部に有している。そして、各プロセッサ2～5は、それぞれの端末装置200～500または伝送ネットワーク1から収集したデータをもとに該当する処理を実行する。伝送ネットワーク1上に送出されるメッセージは第2図に示す如きフォーマットを有する。本メッセージ・フォーマット6はデータの先頭を示すフラグ(F)61、データの内容を示す内容コード(FC)62、送出するプロセッサのアドレス(SA)63、制御コード(CC)64、データ65、フレームチェック・シーケンス(FCS)66およびデータの後尾を示すフラグ(F)67から成って

おり、受信側プロセッサを示すアドレスは付されていない点がその特徴である。なお、前記内容コード(FC)は1つの処理に対応しており、同一の内容コードのメッセージは(それが異なるプロセッサから送出されたものであっても)、同一の処理実行結果とみなされる。

端末装置から取込んだデータに対してプロセッサ内のどのプログラムが起動されるかは、前以って決められている。例えば、端末装置200内の機器2001に対してはプロセッサ2内のプログラムP2001が起動される。プログラムP2001の実行結果のデータを伝送ネットワーク1に送出する際には、前記メッセージ・フォーマット6の形を持つ。このデータの内容コード(FC)62は、該データを出力したプログラムP2001に対応して一意的に決められている。

伝送ネットワーク1からのメッセージ6の受信、および伝送ネットワーク1へのメッセージ6の送信について以下に説明する。

第3図はプロセッサ2の詳細を示すブロック図

である。処理演算装置21には内容コード表28が格納されたROMがある。内容コード表28には第4図に示す如く、処理演算装置21が必要とする内容コード(FC<sub>1</sub>)2801, 2802と、該内容コードに対応して起動すべきプログラム名(P<sub>1</sub>)2811, 2812が格納されている。

伝送ネットワーク1上にメッセージ6が流されると、前記プロセッサ2内へはインターフェイス22を介して、フラグ61, 67、フレームチェック・シーケンス66、制御コード64を消去したものが、受信バッファ24の空エリア241へ取込まれる。処理演算装置21は受信バッファ24に取込まれた前記メッセージ6の内容コード62が前記内容コード表28に格納されていないものであるときには、該メッセージを不要のものとして消去する。一方、前記内容コード62が前記内容コード表28に格納されているもの(例えば、2801, 2802)であるときは、該メッセージ6に付された内容コード62をポーター20の内容コード記憶部201(第5図参照)へ格納し、そ

の内容コード(FC<sub>1</sub>)に対応するタイマー(T<sub>1</sub>FC<sub>1</sub>)26をセットする。

以後、プロセッサ2が同一の内容コードを持つメッセージを受信したときには、上と同様にして、該メッセージを受信バッファ24の空エリア242, 243, …へ順次格納する。そして、同時に処理演算装置21は、上と同様にしてポーター20に前記内容コードを有するメッセージを受信した旨を伝送する。ポーター20は前記内容コードを有するメッセージを既に受信していることをその内容コード記憶部201に記憶しているので、前記タイマー26が再びセットされることはない。

このようにして、プロセッサ2は同一の内容コード(例えばFC<sub>1</sub>)を有するデータを次々に受信し、受信バッファ241, 242, …に格納して行く。ここで、タイマー(T<sub>1</sub>FC<sub>1</sub>)26が一定値に達すると処理演算装置21に割込みをかける。これにより、処理演算装置21は前記内容コード(FC<sub>1</sub>)に対するタイマー(T<sub>1</sub>FC<sub>1</sub>)26をリセットした後、受信バッファ24内で前記内容

コード(FC<sub>1</sub>)を有するデータのうち、同一の値を持つデータ数を計数する。例えば、C<sub>1</sub>の値を持つデータ数がn<sub>1</sub>、C<sub>2</sub>(C<sub>1</sub>≠C<sub>2</sub>)の値を持つデータ数がn<sub>2</sub>とすると、処理演算装置21はポーター20の多数決論理アルゴリズム部202(第5図参照)を起動させる。

多数決論理アルゴリズムは(C<sub>1</sub>, n<sub>1</sub>), (C<sub>2</sub>, n<sub>2</sub>)より

$$n_1 > n_2$$

であれば、C<sub>1</sub>を真値と判別し、

$$n_1 = n_2$$

であれば、真値判別不能とする。これらの判定を行った後、処理演算装置21は、ポーター20の内容コード記憶部201の該当内容コード(この場合FC<sub>1</sub>)を消去する。更に真値C<sub>1</sub>が決定された場合には、受信バッファ24中のC<sub>1</sub>の値を持つエリアのうち、1つを残して他を消去し、かつ、そのエリアの多数決判定フラグMを“0”から“1”にし、同時にC<sub>2</sub>の値を持つエリアの多数決判定フラグMを“0”から“3”に設定する(第6図

参照)。また、真値判別不能の場合には、C<sub>1</sub>およびC<sub>2</sub>の値を持つバッファ24のエリアの多数決判定フラグMを“0”から“2”に設定する。以後、処理演算装置21は、多数決判定フラグMが“0”のものは判定前として使用せず、多数決判定フラグMが“1”のもののみを処理に利用する。

また、多数決判定フラグMが“2”, “3”のものについては、その旨を伝送ネットワーク1を通じて報知する。この場合のメッセージ・フォーマット6は、真値判定不能コード(FC<sub>p</sub>)または偽値判定コード(FC<sub>f</sub>)を付し、かつ受信バッファ24内の前記データの内容コード(FC)および該データの発信源アドレス(SA)とをデータ部65に設定した上で、この判定を行ったプロセッサのアドレスを63に付したものとする。

上記真値判定不能、または偽値判定を報知するメッセージを受信したプロセッサ(例えばプロセッサ2)は、該メッセージのデータ部65に自アドレスが記入されている場合には自プロセッサ内の異常の可能性のあるものとして、その処理演算装

図21が診断ルーチン27を起動させる。この診断ルーチン27により異常が検知できれば、そのプロセッサは端末200より異常の警報を発し処理を停止させる。

本発明は上記実施例に限られるものではなく、その技術思想の範囲内において広く応用可能であることは言うまでもない。

〔発明の効果〕

以上説明した如く、本発明によれば、複数のプロセッサを伝送ネットワークにより接続した多重処理系における異常検出装置を、前記各プロセッサが前記伝送ネットワーク上のメッセージを取込む手段、該取込み手段により取込まれたメッセージから同一の処理に属するものを選択する手段、前記各処理に属するメッセージが選択されたときにセットされる限時手段、該限時手段の限時作動出力により前記同一の処理に属するメッセージ数を計数する手段、該計数手段による計数結果に基づき多数決論理アルゴリズムにより真値を判定する手段、該判定手段の判定により真値と判定され

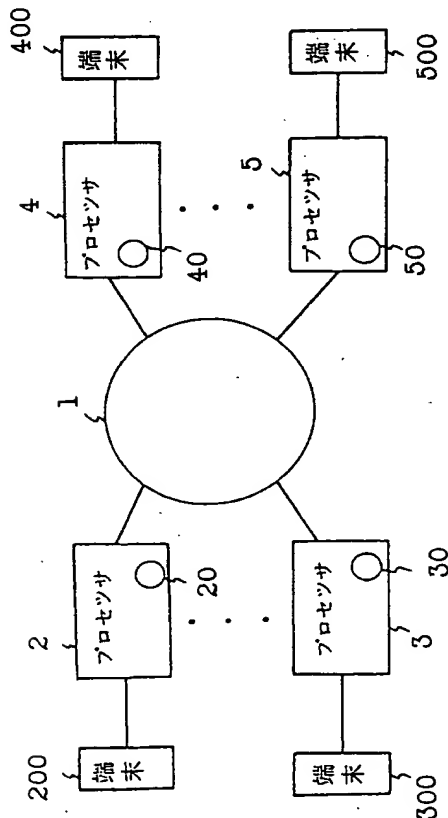
なかったメッセージの発信源を検知する手段および上記各手段を制御する制御手段を有する如く構成したので、多重処理系における異常検出装置を柔軟性に富むものとするとともに、伝送中における雑音の影響をも防止することができ、実用上大きな効果を奏する。

4. 図面の簡単な説明

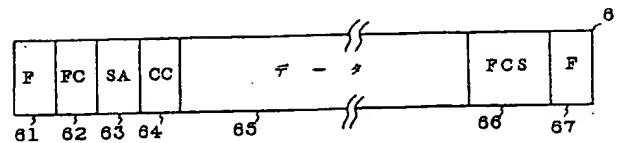
第1図は本発明の実施例装置を用いた多重処理系のシステム全体の構成を示す図、第2図はメッセージ・フォーマットを示す図、第3図は実施例装置のブロック図、第4図～第6図はそれぞれその要部である内部コード表、内容コード記憶部、受信バッファの内容を示す図である。

1：伝送ネットワーク、2～5：プロセッサ、6：メッセージ・フォーマット、20～50：ポーター、21：処理演算装置、24：受信バッファ、25：送信バッファ、26：タイマー、27：診断ルーチン、28：内容コード表、200～500：端末。

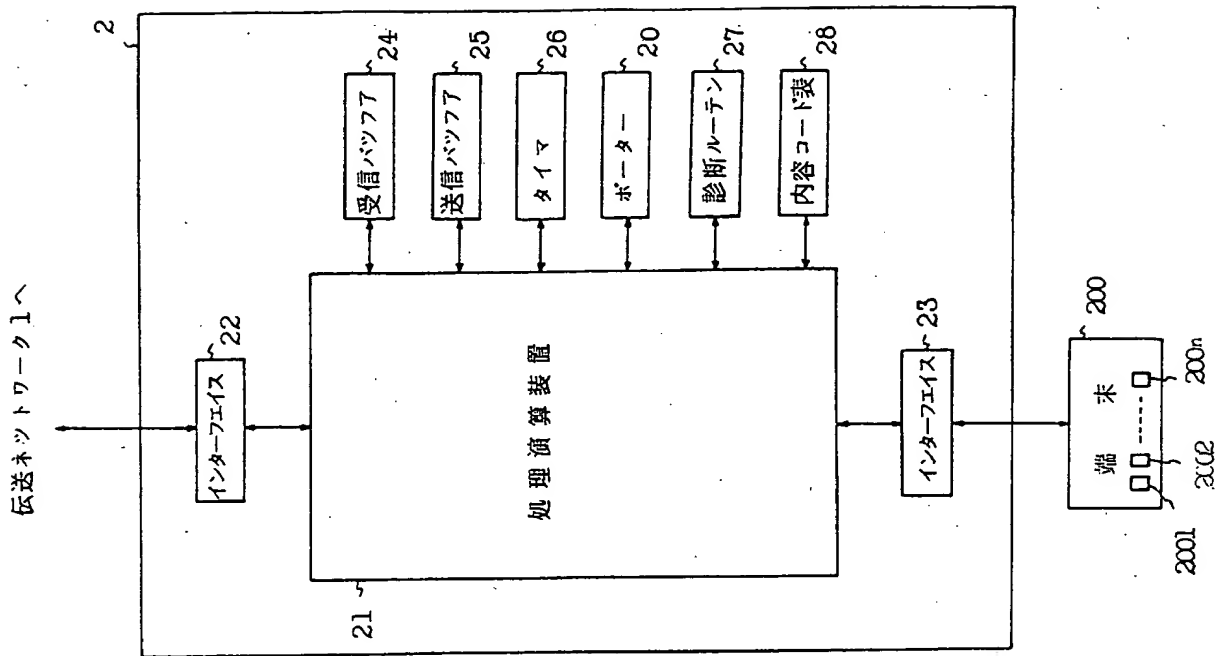
第1図



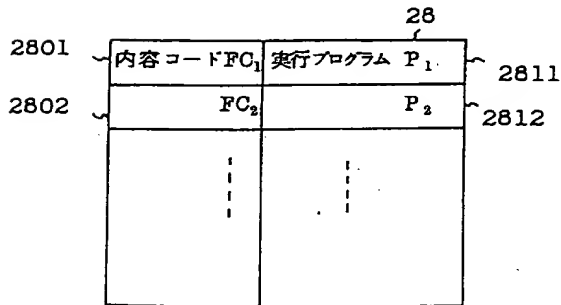
第2図



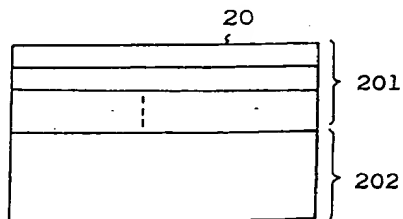
第 3 図



第 4 図



第 5 図



第 6 図

24			
FC	SA	データ	M
241	FC <sub>1</sub> #1	C <sub>1</sub>	1
242	FC <sub>1</sub> #5	C <sub>1</sub>	1
243	FC <sub>1</sub> #3	C <sub>2</sub>	3
...			